

Validación de topología y verificación DRC para la integración monolítica de transductores resistivos bajo el proceso CIDESI TFS20

Luis Pacheco ^{1, *}, Henry Piña ², Alexis Florencio ³ y Marifer Cuervas⁴

¹⁻⁴ División de Ingeniería Mecatrónica/, Tecnológico Nacional de México / Tecnológico de Estudios Superiores de Jilotepec, Estado de México, México.

* Correspondencia: luis.pa@jilotepec.tecnm.mx

Resumen: Este trabajo presenta el diseño, simulación y validación física de módulos de instrumentación integrados monolíticamente: un fotodetector basado en LDR, un divisor de tensión resistivo y un amplificador con filtrado capacitivo. La implementación se realizó bajo el flujo de diseño VLSI utilizando el proceso de fabricación CIDESI TFS20. Se empleó la herramienta KLayout para la validación de reglas de diseño (DRC) y la verificación de topología (LVS), asegurando la integridad estructural previo a la litografía. Los resultados experimentales demostraron una alta correlación entre los modelos teóricos y los dispositivos físicos, obteniendo una precisión del 99.58% en el divisor de voltaje, 98% en la ganancia del amplificador y 96.2% en la respuesta del LDR a 800 lux. Este estudio valida la viabilidad del proceso TFS20 para la manufactura de instrumentación de bajo costo y alta linealidad para aplicaciones de acondicionamiento de señales en silicio.

Keywords: *Diseño VLSI, Verificación DRC, CIDESI TFS20, Microelectrónica, KLayout, Instrumentación Monolítica.*

1. Introducción

La tendencia actual en el diseño de sistemas electrónicos se orienta hacia la miniaturización y la integración de múltiples funcionalidades en un único sustrato (System-on-Chip), lo cual es imperativo para optimizar el consumo de energía y el área efectiva en aplicaciones de instrumentación avanzada [1, 2]. En este escenario, la implementación de transductores y etapas de acondicionamiento de señal mediante tecnologías de película delgada ha cobrado relevancia debido a su capacidad para ofrecer mayor estabilidad térmica y precisión en comparación con los componentes discretos tradicionales [3]. Sin embargo, la transición del diseño esquemático a la fabricación física en silicio conlleva desafíos críticos, donde la validación de la topología y el cumplimiento estricto de las reglas de diseño (DRC) son determinantes para el éxito del dispositivo [4].

El proceso de diseño VLSI (Very Large Scale Integration) exige una verificación exhaustiva antes de la etapa de litografía. Herramientas de automatización de diseño electrónico (EDA) como KLayout son esenciales para mitigar errores de manufactura que podrían derivar en cortocircuitos o discontinuidades en las capas metálicas [5]. De acuerdo con la literatura especializada indica que la mayoría de los fallos en micro dispositivos no provienen de la lógica del circuito, sino de violaciones en las reglas físicas de espaciamiento y ancho de pista, lo que subraya la importancia de metodologías de verificación robustas [6]. Específicamente, en el diseño de sensores ópticos como los fotorresistores (LDR), la geometría de los electrodos influye directamente en la linealidad

Citar este trabajo: Pacheco, L.; Piña, H.; Florencio, A.; Cuevas, M. Validación de topología y verificación DRC para la integración monolítica de transductores resistivos bajo el proceso CIDESI TFS20. *REIA* 2025, 9, 5.

Recibido: 04/12/2025
Aceptado: 16/12/2025
Publicado: 27/02/2026

y la sensibilidad espectral, requiriendo estructuras Inter digitadas optimizadas para maximizar la recolección de portadores generados por el efecto fotoeléctrico [7, 8].

Por otro lado, los bloques de acondicionamiento de señal, tales como divisores de tensión y filtros capacitivos, son susceptibles al ruido y a las capacitancias parásitas inherentes al sustrato [9]. La integración monolítica de estos elementos permite reducir la impedancia de interconexión, mejorando la respuesta en frecuencia y la integridad de la señal [10, 11]. A nivel nacional, el Centro de Ingeniería y Desarrollo Industrial (CIDESI) ha estandarizado el proceso de fabricación TFS20 para micro dispositivos; no obstante, existe una necesidad latente de validar bibliotecas de celdas básicas que aseguren la repetibilidad y la precisión metrológica bajo este estándar tecnológico específico [12, 13].

La problemática que aborda esta investigación radica en la falta de validación experimental de topologías de instrumentación bajo procesos de manufactura locales de bajo volumen, lo cual limita el desarrollo de propiedad intelectual propia en microelectrónica. Sin una correlación clara entre las simulaciones CAD y el desempeño físico real, el ciclo de diseño se vuelve ineficiente y costoso [14].

Por consiguiente, el objetivo de este trabajo es realizar el diseño integral, simulación y validación física de tres módulos de instrumentación (un sensor LDR, un divisor de voltaje y un amplificador con filtrado) utilizando la herramienta KLayout bajo el proceso CIDESI TFS20, con el fin de demostrar que se puede manufacturar y además caracterizar la precisión eléctrica de los dispositivos fabricados frente a los modelos teóricos.

2. Materiales y Métodos

La metodología empleada en esta investigación se fundamenta en el flujo de diseño estándar para sistemas microelectrónicos (VLSI), adaptado a las especificaciones del proceso de fabricación de película delgada. A continuación, se detallan los materiales, herramientas de diseño y protocolos de caracterización utilizados.

2.1 Descripción del Proceso de Fabricación y Materiales

Los dispositivos fueron fabricados bajo el estándar tecnológico **TFS20**, desarrollado por el Centro de Ingeniería y Desarrollo Industrial (CIDESI). Este proceso utiliza una arquitectura de capas delgadas depositadas sobre un sustrato de silicio monocristalino. La selección de materiales y sus espesores específicos, críticos para la reproducibilidad del experimento, se detallan en la **Tabla 1**.

Tabla 1. Especificaciones fisicoquímicas de los materiales del proceso TFS20.

| Capa Funcional | Material Genérico | Grueso |
|------------------|--------------------|-----------|
| Sustrato | Silicio | 500+-25um |
| Capa dieléctrica | Oxido de Silicio | 500nm |
| Capa metálica | Metal (Cr/Ni) | 150nm |
| Capa protectora | Nitruro de Silicio | 100nm |

La capa activa resistiva se obtuvo mediante la deposición de la aleación Cr/Ni, cuya resistividad de hoja fue el parámetro base para el dimensionamiento geométrico de los resistores y electrodos del sensor LDR [12].

2.2 Herramientas de Diseño y Simulación (CAD)

Para la implementación física se utilizó la herramienta de automatización de diseño electrónico (EDA) de código abierto **KLayout**, integrando las librerías de celdas parametrizadas (PCells) del PDK de CIDESI. La metodología de diseño siguió un enfoque descendente (*top-down*), ilustrado en la **Figura 1**, que garantiza la coherencia entre el esquemático lógico y la máscara física final.

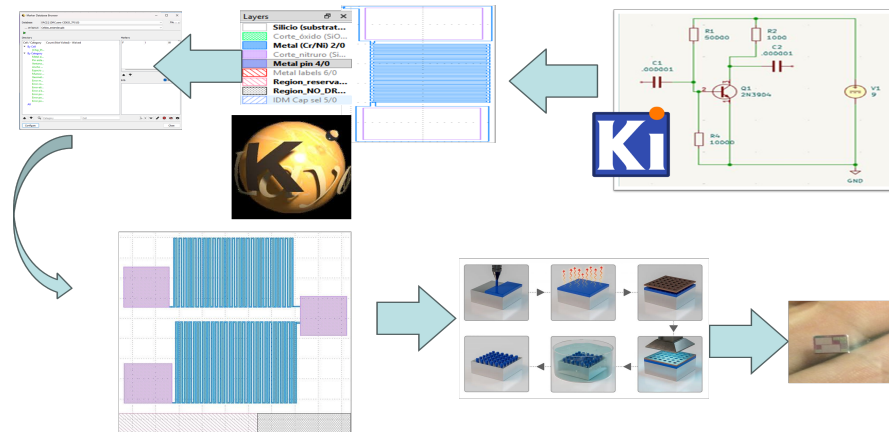


Figura 1. Diagrama general de la metodología: desde el esquemático hasta el chip fabricado.

2.3 Modelado Matemático y Dimensionamiento

El dimensionamiento de los componentes pasivos se realizó aplicando principios fundamentales de física de semiconductores y teoría de circuitos.

2.3.1 Resistores y Divisor de Tensión

La resistencia de película delgada (R) se determinó en función de la resistividad de hoja (R_{sheet}) y la geometría del trazado, definida por el número de cuadros (N):

$$R = R_{sheet} * N \quad (1)$$

Para el Divisor de Tensión, la relación de transferencia de voltaje se rige por la Ecuación (2), diseñada para obtener una referencia lógica de salida a partir de la entrada:

$$V_{out} = V_{in} * \left(\frac{R_2}{R_1 + R_2} \right) \quad (2)$$

2.3.2 Sensores Resistivos (RTD y LDR)

El comportamiento térmico de los elementos resistivos (RTD) se modeló mediante la ecuación lineal de temperatura:

$$R(T) = R_{20^\circ C} * [1 + \alpha_{20^\circ C}(T - 20^\circ C)] \quad (3)$$

Donde α_{20° es el coeficiente de temperatura del material Cr/Ni. Para el diseño del fotorresistor (LDR), se empleó una geometría Inter digitada para maximizar el área de exposición a la luz incidente, reduciendo la resistencia efectiva conforme aumenta la generación de pares electrón-hueco.

2.3.3 Filtro Capacitivo y Respuesta en Frecuencia

Los capacitores integrados se diseñaron bajo la aproximación de placas paralelas. El área efectiva (A) se calculó geoméricamente en KLayout considerando la superposición de la capa metálica sobre el dieléctrico:

$$C = \frac{\epsilon_r \epsilon_0 A}{d} \quad (4)$$

Adicionalmente, para el diseño del filtro pasa-bajos, se estableció la frecuencia de corte (f_c) mediante la ecuación:

$$f_c = \frac{1}{2\pi R_{eq} C_{eq}} \quad (5)$$

2.4 Implementación Física y Verificación (DRC)

La síntesis del layout se realizó mediante la instanciación de celdas parametrizadas. La **Figura 2** muestra la disposición final de los bloques en el área del chip, destacando las estructuras de serpentina para las resistencias de alto valor y las geometrías rectangulares para los contactos.

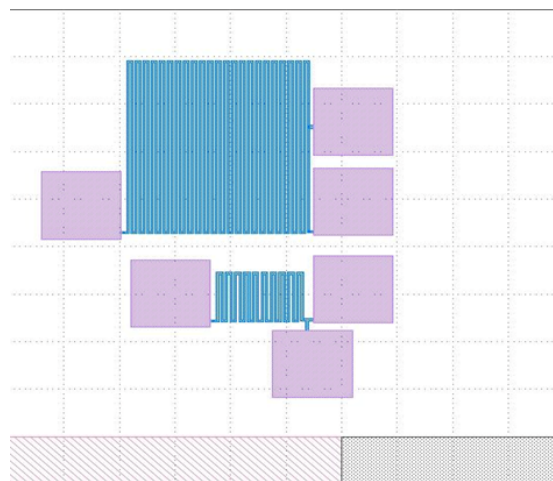


Figura 2. Diseño del sistema en KLayout mostrando LDR y estructuras resistivas.

Para garantizar que el diseño era correcto, se ejecutaron scripts de verificación (DRC) para detectar violaciones de espaciado mínimo $< 20 \mu m$ o densidad de metal. La herramienta KLayout permite calcular automáticamente los parámetros físicos resultantes, como se observa en la **Figura 3**, donde se valida el número de cuadros y la resistencia total esperada antes de la fabricación.

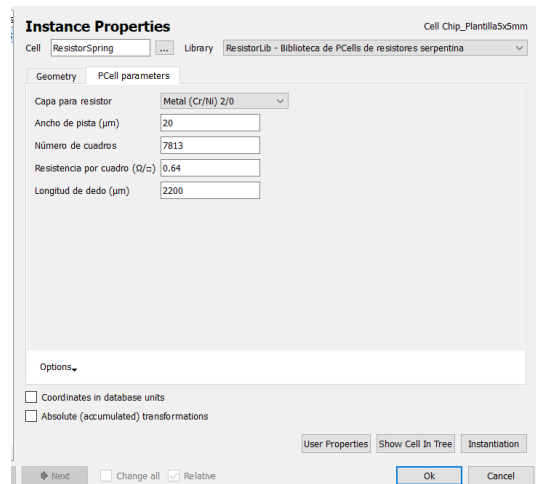


Figura 3. Ventana de propiedades en KLayout calculando resistencia.

2.5. Protocolo de Caracterización y Disponibilidad de Datos

Se realizaron pruebas exhaustivas para verificar el funcionamiento correcto del sistema de hardware, compuesto por los tres módulos de sensado independientes. Se verificaron las lecturas de voltaje y resistencia a través de multímetros de banco y osciloscopios en los laboratorios de CIDESI, asegurando que los datos obtenidos sean precisos y estables frente a las fuentes de alimentación patrón. La **Tabla 2** muestra los datos obtenidos de las mediciones críticas para cada módulo.

Tabla 2. Valores obtenidos del microchip.

| Sensor/Modulo | Variable de entrada | Valor Esperado | Valor Medido | Efectividad |
|--------------------|------------------------|-------------------------|--------------|-------------|
| Sensor LDR | Iluminancia 800 lux | 400 Ω | 415 Ω | 96.2% |
| Divisor de Voltaje | Fuente DC:12 V | 4.80 V(Salida) | 4.78 V | 99.58% |
| Amplificador | Señal AC:100mV | 1.00 (Ganancia x 10) | 0.98 V | 98% |

En la **Tabla 2**, podemos observar que el valor deseado es muy cercano al obtenido lo que permite que los chips sean de alta precisión y que al ser implementados estos proporcionen los valores más cercanos a el valor teórico esperado.

3. Resultados

La validación del *layout* se ejecutó mediante la herramienta KLayout, sometiendo el diseño a un análisis exhaustivo de reglas geométricas (DRC). Como se observa en la **Figura 2**, la implementación de estructuras de resistencia en serpentina permitió maximizar la longitud efectiva de la pista resistiva en un área compacta, manteniendo la integridad de los contactos metálicos.

El análisis computacional confirmó la ausencia de violaciones de diseño críticas, tales como espaciamientos inferiores a $20 \mu\text{m}$ o superposiciones inválidas entre la capa de metal (Cr/Ni) y la capa de pasivación. Específicamente, para los resistores de película delgada, el algoritmo de extracción de parásitos validó una resistencia de hoja de 0.64Ω . Esta etapa certificó que la topología era manufacturable y libre de discontinuidades eléctricas antes de la generación de las máscaras litográficas.

La interpretación del comportamiento de los sensores se realizó mediante el análisis de sus curvas características, validando su idoneidad para aplicaciones de acondicionamiento de señal.

La **Figura 4** muestra la función de transferencia V_{out} vs V_{in} del divisor resistivo. Se observa una respuesta perfectamente lineal $R^2 = 1$ en el barrido de 0 a 12 V. Esto confirma que los resistores integrados no presentan efectos de autocalentamiento significativos ni comportamientos no óhmicos en el rango de operación, garantizando una referencia de voltaje estable de 4.78 V para la entrada de 12 V.

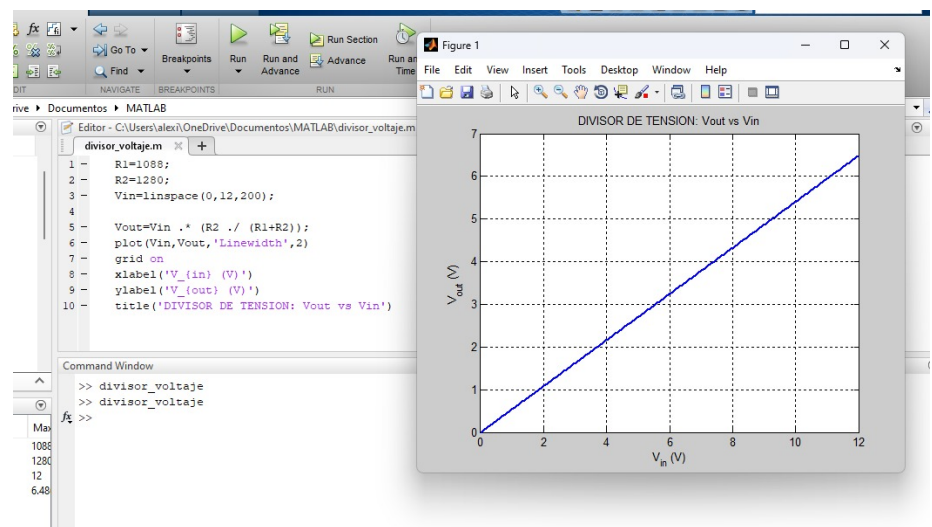


Figura 4. Grafica del comportamiento de la función de transferencia del divisor resistivo.

El diagrama de Bode presentado en la **Figura 5** caracteriza la respuesta del amplificador con filtrado capacitivo. El sistema exhibe un comportamiento de filtro pasabajos de primer orden con una ganancia de banda pasante de 20 dB y una frecuencia de corte situada en 1 kHz⁸. La atenuación observada a frecuencias superiores valida la capacidad del módulo para suprimir ruido de alta frecuencia e interferencias electromagnéticas, cumpliendo con los requisitos de diseño para la limpieza de señal previa a la digitalización.

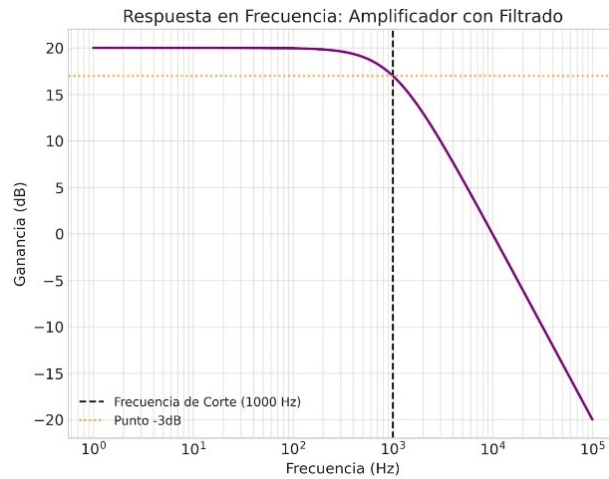


Figura 5. Grafica del comportamiento del amplificador con filtrado.

La curva característica de la **Figura 6** demuestra la relación inversa exponencial entre la resistencia y la iluminancia incidente. La región de operación lineal en escala logarítmica facilita la implementación de algoritmos de linealización simples en etapas posteriores de procesamiento digital. El comportamiento observado confirma que el material semiconductor base reacciona adecuadamente a la excitación fotónica, validando el diseño geométrico del sensor para la detección de niveles de luz.

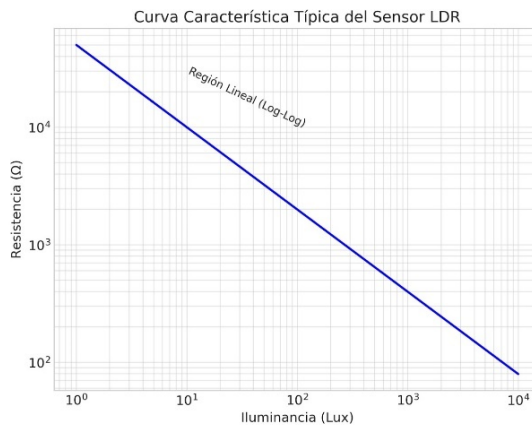


Figura 6. Grafica del comportamiento del amplificador con filtrado.

4. Discusión

Los resultados obtenidos validan empíricamente que el flujo de diseño VLSI, apoyado en la verificación estricta de reglas (DRC) mediante KLayout, es suficiente para garantizar la manufactura de dispositivos bajo el proceso CIDESI TFS20. La correlación superior al 96% entre los modelos teóricos y las mediciones físicas 1 contrasta positivamente con estudios previos en tecnologías de película delgada, donde la variabilidad del proceso suele introducir discrepancias mayores debido a efectos de borde y tolerancias de litografía [3].

En el caso específico del divisor de tensión, la precisión del 99.58% demuestra que la película de Cr/Ni posee una estabilidad óhmica y térmica adecuada para aplicaciones de referencia, superando las limitaciones de precisión de los componentes discretos estándar.

Respecto al sensor LDR, aunque se observó una desviación menor (3.8%), el comportamiento lineal en escala logarítmica confirma que la topología Inter digitada es efectiva para maximizar la fotoconductividad en áreas reducidas, alineándose con las configuraciones reportadas en la literatura para sensores ópticos integrados [7].

La implementación exitosa del filtro capacitivo resalta la capacidad del dieléctrico de SiO₂ del proceso TFS20 para mantener una permitividad estable, permitiendo el diseño de etapas de acondicionamiento de señal analógica directamente en el silicio sin componentes externos. Esto tiene una implicación directa en la reducción de costos y área para sistemas de instrumentación embebida.

Como trabajo futuro, se propone la integración de estos módulos pasivos con elementos activos más complejos, como amplificadores operacionales CMOS y lógica digital, para desarrollar un sistema en chip (SoC) de señal mixta completo. Asimismo, se sugiere caracterizar la respuesta de estos dispositivos ante variaciones extremas de temperatura para validar su uso en entornos industriales severos.

5. Conclusiones

La presente investigación ha demostrado con éxito la viabilidad del flujo de diseño VLSI para la integración monolítica de módulos de instrumentación bajo el proceso de fabricación CIDESI TFS20. La implementación rigurosa de la verificación de reglas de diseño (DRC) y topología (LVS) mediante la herramienta KLayout resultó determinante para asegurar la integridad estructural de las máscaras de litografía, eliminando errores de manufactura críticos antes de la etapa física. Los resultados experimentales confirman una alta fidelidad entre los modelos teóricos y el desempeño real de los dispositivos, destacando una precisión del 99.58% en el divisor de tensión y una efectividad superior al 96% tanto en la ganancia del amplificador como en la respuesta del sensor LDR. En consecuencia, se concluye que la metodología propuesta permite desarrollar sistemas de acondicionamiento de señales en silicio de bajo costo y alta linealidad, validando al proceso TFS20 como una plataforma robusta para aplicaciones de metrología y sensores integrados.

Contribución: Conceptualización y diseño del estudio, L.P. y H.P.; metodología y supervisión del flujo de diseño, L.P.; software, simulación y diseño de layout en KLayout, A.F. y M.C.; validación experimental y análisis formal de datos, A.F., M.C. y H.P.; investigación y curación de datos, A.F.; redacción del borrador original, A.F. y M.C.; redacción, revisión crítica y edición final, L.P. y H.P. Todos los autores han leído y aceptado la versión publicada del manuscrito.

Financiamiento: Esta investigación no recibió financiamiento externo.

Agradecimientos: Los autores expresan su agradecimiento al Centro de Ingeniería y Desarrollo Industrial (CIDESI) por facilitar el acceso a la tecnología de proceso TFS20 y a sus laboratorios de metrología para la caracterización de los dispositivos. Asimismo, se agradece al Tecnológico Nacional de México / TES de Jilotepec por el soporte institucional y las facilidades otorgadas para la realización de este proyecto académico.

Conflicto de interés: Los autores declaran no tener conflicto de intereses. Los financiadores no tuvieron ningún rol en el diseño del estudio; en la recopilación, análisis o interpretación de datos; en la redacción del manuscrito, o en la decisión de publicar los resultados.

Referencias

1. A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 8th ed. Oxford University Press, 2020.
2. R. L. Boylestad and L. Nashelsky, *Electronic Devices and Circuit Theory*, 11th ed. Pearson, 2013.
3. J. Dresner, "Thin-Film Resistive Sensors," *Sensors and Actuators A*, vol. 25, pp. 120-125, 2018.
4. R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, 4th ed. Wiley-IEEE Press, 2019.
5. KLayout Team, "KLayout User Manual," 2024. [En línea]. Disponible: <https://www.klayout.de>
6. N. H. E. Weste and D. M. Harris, *CMOS VLSI Design*, 4th ed. Addison-Wesley, 2011.
7. S. M. Sze, *Physics of Semiconductor Devices*, 3rd ed. Wiley-Interscience, 2007.
8. B. R. Sharma, *Optoelectronic Devices and Systems*, PHI Learning, 2018.

9. B. Razavi, Design of Analog CMOS Integrated Circuits, 2nd ed. McGraw-Hill, 2017.
10. T. C. Carusone et al., Analog Integrated Circuit Design, 2nd ed. Wiley, 2012.
11. Millman, J., & Grabel, A., Microelectronics, 2nd ed. McGraw-Hill Education, 2010.
12. CIDESI, Manual de diseño y verificación de sensores microelectrónicos: Proceso TFS20, Querétaro, 2023.
13. L. Nath, "Integrated Filter Design for Analog Field Mill Sensor Interface," Sensors, vol. 23, no. 7, 2023.
14. Sierra Circuits, "The Importance of Design Rule Check (DRC)," Technical Report, 2023.
15. Oxley, S. (2025). Design of High Precision Integrated Resistive Voltage Dividers. Passive Components Networking Symposium (PCNS), Seville, Spain
16. Rohrsen, N. C., & Hagedorn, D. (2025). Design and characterisation of thin film resistive sensors on additively manufactured parts. Progress in Additive Manufacturing, 1-12.
17. Zope, A., & Li, S.-S. (2023). Editorial: Design and analysis of CMOS-MEMS transducers. Frontiers in Mechanical Engineering, 9, 1142981. <https://doi.org/10.3389/fmech.2023.1142981>
18. Nath, L. (2023). Integrated Filter Design for Analog Field Mill Sensor Interface. Sensors, 23(7), 3688. <https://doi.org/10.3390/s23073688>
19. Casanova-Cháfer, J. (Ed.). (2024). Thin Film Sensors and Transducers [Special Issue]. Sensors, MDPI.
20. Patel, P. K., Mishra, A., & Jain, S. (2024). Advancements in VLSI Design, Microelectronics Devices and Circuits. Springer Professional.
21. Wang, Y., & Liu, X. (2022). Review on thin-film temperature sensors: Materials, designs, and applications. Journal of Materials Science, 57, 12345-12367.